

特開平11-238860

(43) 公開日 平成11年(1999) 8月31日

(51) Int.Cl. <sup>8</sup>	識別記号	F I	
H 0 1 L	27/108	H 0 1 L	27/10
	21/8242		27/08
	21/8238		27/10
	27/092		
	29/786		29/78
			6 8 1 F
			3 2 1 K
			6 2 1 C
			6 7 1 C
			6 1 3 B
審査請求 未請求 請求項の数12 O L (全 14 頁)			

(21) 出願番号 特願平10-37691

(22) 出願日 平成10年(1998) 2月19日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 永井 亮

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 宮本 正文

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 朝倉 久雄

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

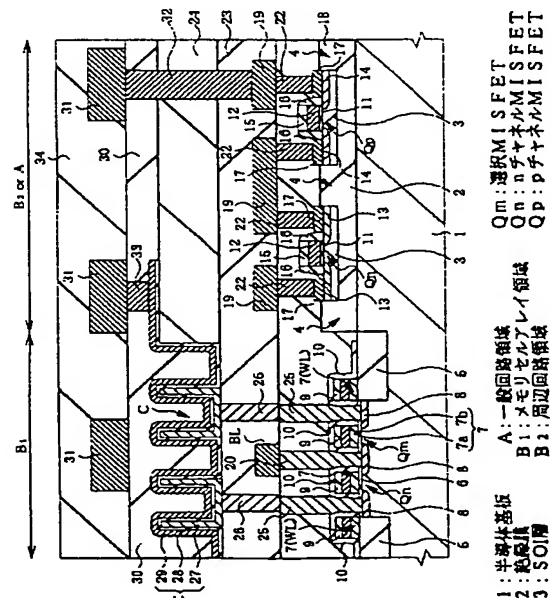
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 メモリ動作の安定性と、高速性を兼ね備えた DRAMあるいはDRAMを混載したシステム L S I を提供する。

【解決手段】 同一の半導体基板1上において、DRAMのメモリアルレイ領域B1の選択MISFET Q<sub>m</sub>をバルクシリコン基板である半導体基板1の主面上に形成し、メモリアルレイ以外の回路、すなわちDRAMの周辺回路領域B2あるいは論理回路等の一般回路が形成される一般回路領域AのMISFET (nチャネルMISFET Q<sub>n</sub>およびpチャネルMISFET Q<sub>p</sub>)を半導体基板1上の絶縁膜2上に設けた単結晶シリコン層であるSOI層3上に形成する。

図 1



## 【特許請求の範囲】

【請求項 1】 DRAMのメモリセルを選択する第 1 の M I S F E T と、前記メモリセルがアレイ状に配置されたメモリセルアレイ領域の周辺に配置され、前記 D R A M の周辺回路に含まれる第 2 の M I S F E T とを有する半導体集積回路装置、または、前記第 1 および第 2 の M I S F E T に加えて論理演算回路その他の論理回路に含まれる第 3 の M I S F E T を有する半導体集積回路装置であって、

前記第 1 の M I S F E T は、前記半導体基板の主面に形成され、前記第 2 および第 3 の M I S F E T は、前記半導体基板の主面の絶縁膜上に前記半導体基板とは電氣的に絶縁して形成された単結晶シリコン層に形成されていることを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置であって、

前記第 1 の M I S F E T のゲート電極は、多結晶シリコン膜、多結晶シリコン膜およびその上面に形成された金属シリサイド膜、または、多結晶シリコン膜およびその上面に形成された金属膜からなることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 2 記載の半導体集積回路装置であって、

前記多結晶シリコン膜には、前記第 1 の M I S F E T のソース・ドレイン領域を構成する不純物半導体領域の導電型とは反対の導電型を示す不純物が高濃度に導入されていることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1 記載の半導体集積回路装置であって、

前記第 1 の M I S F E T のゲート電極は、真性シリコンとほぼ同等の仕事関数を有する金属膜からなることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 1 ～ 4 の何れか一項に記載の半導体集積回路装置であって、

前記第 2 および第 3 の M I S F E T のゲート電極は、多結晶シリコン膜、多結晶シリコン膜およびその上面に形成された金属シリサイド膜、または、多結晶シリコン膜およびその上面に形成された金属膜からなることを特徴とする半導体集積回路装置。

【請求項 6】 請求項 5 記載の半導体集積回路装置であって、

前記多結晶シリコン膜には、前記第 2 または第 3 の M I S F E T のソース・ドレイン領域を構成する不純物半導体領域の導電型と同一の導電型を示す不純物が高濃度に導入されていることを特徴とする半導体集積回路装置。

【請求項 7】 請求項 1 ～ 4 の何れか一項に記載の半導体集積回路装置であって、

前記第 2 および第 3 の M I S F E T のゲート電極は、真性シリコンとほぼ同等の仕事関数を有する金属膜からなることを特徴とする半導体集積回路装置。

【請求項 8】 請求項 4 または 7 記載の半導体集積回路装置であって、

前記金属膜を構成する材料は、タングステンまたはモリブデンであることを特徴とする半導体集積回路装置。

【請求項 9】 請求項 1 ～ 8 の何れか一項に記載の半導体集積回路装置であって、

前記周辺回路または論理回路は、n チャネル M I S F E T および p チャネル M I S F E T からなる相補型 M I S F E T 回路を主体とする回路であることを特徴とする半導体集積回路装置。

【請求項 10】 請求項 1 ～ 9 の何れか一項に記載の半導体集積回路装置であって、

前記第 2 および第 3 の M I S F E T のソース・ドレイン領域を構成する不純物半導体領域上には、選択的に形成された金属層または金属シリサイド層を有することを特徴とする半導体集積回路装置。

【請求項 11】 DRAMのメモリセルを選択する第 1 の M I S F E T と、前記メモリセルがアレイ状に配置されたメモリセルアレイ領域の周辺に配置され、前記 D R A M の周辺回路に含まれる第 2 の M I S F E T とを有する半導体集積回路装置、または、前記第 1 および第 2 の M I S F E T に加えて論理演算回路その他の論理回路に含まれる第 3 の M I S F E T を有する半導体集積回路装置の製造方法であって、

(a) 半導体基板の主面に絶縁層を形成し、前記絶縁層上に前記半導体基板とは電氣的に絶縁される単結晶シリコン層を形成する工程、

(b) 前記メモリセルアレイ領域の前記単結晶シリコン層および絶縁層を除去し、前記半導体基板の主面を露出する工程、

(c) 前記露出された半導体基板の主面および前記単結晶シリコン層に素子分離領域を形成する工程、

(d) 前記半導体基板の主面に前記第 1 の M I S F E T を形成し、前記単結晶シリコン層に前記第 2 および第 3 の M I S F E T を形成する工程、

(e) 前記第 1 の M I S F E T の上層に情報蓄積用容量素子を形成する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 12】 請求項 11 記載の半導体集積回路装置の製造方法であって、

前記 (c) 工程における前記単結晶シリコン層への素子分離領域の形成は、前記絶縁層に達する溝を前記単結晶シリコン層に形成した後、前記溝を埋め込む絶縁膜を堆積し、前記単結晶シリコン層上の前記絶縁膜を除去する第 1 の方法、または、選択酸化 (L O C O S) 法を用いる第 2 の方法、の何れかの方法により行われることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、DRAM (Dynamic Random Access Memory) と論理制御回路または論理演算回路等の論理回路とが1つの半導体基板に混載された半導体集積回路装置に適用して有効な技術に関するものである。

#### 【0002】

【従来の技術】DRAMのメモリセルは、1つのセル選択MISFETとそれに直列に接続された1つのキャパシタとから構成される。このため、DRAMの集積度を高くすることは比較的容易であり、安価に大容量のメモリ素子を構成することができる。したがって、DRAMは、各種コンピュータのメイン・メモリを初め、広範に利用されている。また、素子の微細化が進展し、大規模集積化が可能になってきた結果、論理回路を初めとする一般回路とDRAMとを同一半導体チップに集積し、より高いシステム性能を実現できるシステムLSI (Large Scale Integration) 化の要求が高まっている。

【0003】このような高集積、高性能DRAMあるいはシステムLSIは、バルクシリコン基板 (単結晶シリコンウェハ) の表面に形成するのが一般的である。しかし、バルクシリコン基板表面に形成したMISFET (以下、バルクMISFETという) では、そのソース・ドレイン拡散層と基板との間に存在する寄生接合容量等がバルクMISFETの動作高速化の阻害要因になる。また、バルクMISFETの実効チャネル長を約 $0.1\mu\text{m}$ あるいはそれ以下となるように微細化した場合には、電流駆動能力の高いバルクMISFETを得ることが困難である等の問題がある。

【0004】一方、たとえば、昭和59年11月30日、株式会社オーム社発行、「LSIハンドブック」、p387に記載されているように、MISFETをSOI (Silicon On Insulator) 基板に形成する技術が知られている。SOI基板に形成されたMISFET (以下、SOIMISFETという) は、前記した寄生接合容量の低減に有効であり、素子を高速化することができる。また、薄膜のSOI層 (絶縁層上の単結晶シリコン層) は微細化に好適であると言われており、デバイスの高性能化の実現に有望視されている。

【0005】なお、DRAMは、情報の記憶素子として電荷を蓄積するキャパシタを用いており、そのまま放置すると蓄積電荷が時間の経過とともに漏れてしまう。このため、情報を保持し記憶し続けるため、記憶内容を定期的に再生するいわゆるリフレッシュ動作を必要とすることは周知である。このリフレッシュ動作を安定化するためには蓄積電荷の保持特性を向上することが必要であり、メモリセル選択用のMISFETのチャネル間リーク電流を低減することが有効である。このため、上記キャパシタに直列に接続されるメモリセル選択MISFETのしきい値電圧は約1Vと、周辺回路のMISFET

よりかなり高く設定されている。これによりメモリセル選択MISFETを介して蓄積電荷が漏れないようにし、記憶保持特性を高めている。

#### 【0006】

【発明が解決しようとする課題】しかし、バルクシリコン基板表面上にMISFETを形成する上記従来技術によるDRAMやシステムLSIでは、前記のとおり寄生接合容量等の存在が高速化に不利に作用する。これに対し、SOI基板上にMISFETを形成してDRAMやシステムLSIを作成した場合には、高速性においては優れるものの、以下のような問題が生ずる。

【0007】SOIMISFETにおいて、少なくともチャネル長が $0.5\mu\text{m}$ 以下に微細化されると、その性能を十分に引き出すには、絶縁層上に形成される単結晶シリコン層の膜厚を $0.1\mu\text{m}$ あるいはそれ以下にすることが望ましい。通常、このような薄膜の単結晶シリコン層上に形成されたSOIMISFETでは、その基板電位すなわち単結晶シリコン層の電位は固定されていない。いわゆる基板フローティング状態でSOIMISFETが動作するため、SOIMISFETの雑音に対する余裕度が小さくなる。DRAMの動作では、メモリセルからの微弱な信号を検出してこれを増幅しなければならず、少なくともメモリセルの選択用MISFETにSOIMISFETを用いると、安定したメモリ動作を確保することが難しくなる。

【0008】また、ゲート電極の材料として多結晶シリコン、多結晶シリコン上にシリサイド層が形成されたポリサイド、あるいは、多結晶シリコン上に金属層が形成されたポリメタルをSOIMISFETに用いる場合、多結晶シリコンの導電型は、製造工程の容易さからpチャネルMISFETにはp型多結晶シリコン、nチャネルMISFETにはn型多結晶シリコンとすることが一般的である。ところが、ゲート電極の仕事関数は多結晶シリコンの仕事関数で決まり、多結晶シリコンの仕事関数は、それがn型の場合約 $4.15\text{eV}$ 、p型の場合約 $5.15\text{eV}$ である。ゲート電極の仕事関数と活性領域を構成するシリコン層の仕事関数との差によりMISFETのしきい値電圧が変動することは周知であり、したがって、nチャネルMISFETにn型多結晶シリコンをゲート電極に用いた場合、および、pチャネルMISFETにp型多結晶シリコンをゲート電極に用いた場合には、MISFETのしきい値電圧が低くなってエンハンスメントモードのMISFETを得るのが困難になる。DRAMのメモリセルの選択MISFETとしては $V_{th}$ が約1V (選択MISFETがnチャネルMISFETの場合) のエンハンスメントモードとすることは従来技術で説明したとおりであり、前記したゲート電極の構成では、DRAMの選択MISFETとしては好ましくない。一方、DRAMのメモリセルの選択MISFETのしきい値電圧を高くするために基板のチャネル領域に

導入する不純物の濃度を高くする方策が考え得るが、このような方策では、蓄積ノード近傍での電界強度が大きくなり、接合リークを増大させ、リフレッシュ特性を悪化させる要因となる。

【0009】さらに、絶縁層上の単結晶シリコン層が薄い場合、ソース・ドレイン層のシート抵抗が高くなり、総合的にはかえってMISFETの高速性を損なう可能性がある。

【0010】本発明の目的は、DRAMを有する半導体集積回路装置において、SOI基板上のMISFETの高速性という特徴を有し、なおかつ安定したメモリ動作が可能な技術を提供することにある。

【0011】また、本発明の他の目的は、DRAMを有する半導体集積回路装置において、その中に用いるSOIMISFETのしきい値電圧の制御性を向上する技術を提供することにある。

【0012】また、本発明の他の目的は、DRAMを有する半導体集積回路装置において、メモリセル選択用MISFETの基板の不純物濃度を高くすることなく、そのしきい値電圧を高くすることのできる技術を提供することにある。

【0013】また、本発明の他の目的は、DRAMを有する半導体集積回路装置において、リフレッシュ特性を向上できる技術を提供することにある。

【0014】また、本発明の他の目的は、DRAMを有する半導体集積回路装置において、その中に用いるSOIMISFETの拡散層抵抗を低減する技術を提供することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】(1) 本発明の半導体集積回路装置は、DRAMのメモリセルを選択する第1のMISFETと、メモリセルがアレイ状に配置されたメモリセルアレイ領域の周辺に配置され、DRAMの周辺回路に含まれる第2のMISFETとを有する半導体集積回路装置、または、第1および第2のMISFETに加えて論理演算回路その他の論理回路に含まれる第3のMISFETを有する半導体集積回路装置であって、第1のMISFETが、半導体基板の主面に形成され、第2および第3のMISFETが、半導体基板の主面の絶縁膜上に半導体基板とは電気的に絶縁して形成された単結晶シリコン層に形成されているものである。

【0018】このような半導体集積回路装置によれば、DRAMのメモリセルを構成する選択MISFET(第1のMISFET)を半導体基板つまりバルクシリコン

基板の表面上に形成することにより、雑音に対する余裕度が高く、安定したメモリ動作が可能となり、メモリセル以外の回路のMISFET(第2および第3のMISFET)をシリコン基板上の絶縁層上に設けたシリコン単結晶(SOI)層上に形成することにより、高速性に優れた半導体集積回路装置とすることができる。

【0019】(2) また、本発明の半導体集積回路装置は、前記(1)記載の半導体集積回路装置において、第1のMISFETのゲート電極を、多結晶シリコン膜、多結晶シリコン膜およびその上面に形成された金属シリサイド膜、または、多結晶シリコン膜およびその上面に形成された金属膜とするものである。この多結晶シリコン膜には、第1のMISFETのソース・ドレイン領域を構成する不純物半導体領域の導電型とは反対の導電型を示す不純物が高濃度に導入することができる。また、第1のMISFETのゲート電極は、真性シリコンとほぼ同等の仕事関数を有する金属膜、たとえばタングステンまたはモリブデンとすることもできる。

【0020】このように第1のMISFETのソース・ドレイン領域を構成する不純物半導体領域の導電型とは反対の導電型を示す不純物を多結晶シリコンに高濃度に導入することにより、あるいは、第1のMISFETのゲート電極を、真性シリコンとほぼ同等の仕事関数を有する金属膜、たとえばタングステンまたはモリブデンとすることにより、第1のMISFETのしきい値電圧を、チャネル領域の不純物濃度を増加させることなくエンハンスメント側に大きくすることができ、第1のMISFETすなわちDRAMの選択MISFETのリーク電流を小さくしてDRAMのリフレッシュ特性を向上できる。すなわち、第1のMISFETがnチャネルMISFETである場合には、そのゲート電極を構成する多結晶シリコンをp型とし、または、そのゲート電極を真性シリコンとほぼ同等の仕事関数を有する金属膜とすることにより、ゲート電極がn型多結晶シリコンである場合に比較してしきい値電圧を正電圧側に大きくすることができる。一方、第1のMISFETがpチャネルMISFETである場合には、そのゲート電極を構成する多結晶シリコンをn型とし、または、そのゲート電極を真性シリコンとほぼ同等の仕事関数を有する金属膜とすることにより、ゲート電極がp型多結晶シリコンである場合に比較してしきい値電圧を負電圧側に大きくすることができる。

【0021】(3) また、本発明の半導体集積回路装置は、前記(1)または(2)記載の半導体集積回路装置において、第2および第3のMISFETのゲート電極を、多結晶シリコン膜、多結晶シリコン膜およびその上面に形成された金属シリサイド膜、または、多結晶シリコン膜およびその上面に形成された金属膜とするものである。この多結晶シリコン膜には、第2または第3のMISFETのソース・ドレイン領域を構成する不純物半

導体領域の導電型と同一の導電型を示す不純物が高濃度に導入されてもよい。また、第2および第3のMISFETのゲート電極は、真性シリコンとほぼ同等の仕事関数を有する金属膜、たとえばタングステンまたはモリブデンとすることもできる。このような半導体集積回路装置では、第2および第3のMISFETのゲート電極を、真性シリコンとほぼ同等の仕事関数を有する金属膜、たとえばタングステンまたはモリブデンとすることにより、そのしきい値の制御性を向上し、半導体集積回路装置の性能を向上できる。また、多結晶シリコン膜の導入される不純物の導電型をソース・ドレイン領域を構成する不純物半導体領域の導電型と同一にしてその製造工程を容易にするとともに、しきい値を小さくして低電圧駆動に対応したMISFETを形成することができる。これにより半導体集積回路装置の特性および信頼性を向上できる。なお、第2および第3のMISFETのゲート電極に真性シリコンとほぼ同等の仕事関数を有する金属（タングステン、モリブデン等）を用いることにより、MISFETのしきい値電圧を容易にエンハンスモードにすることもできる。

【0022】なお、前記（1）～（3）に記載した半導体集積回路装置において、周辺回路または論理回路は、nチャネルMISFETおよびpチャネルMISFETからなる相補型MISFET回路を主体とする回路とすることができる。また、第2および第3のMISFETの不純物半導体領域上には、選択的に形成された金属層または金属シリサイド層を有することができる。このような半導体集積回路装置によれば、相補型MISFETを構成して半導体集積回路装置の性能を向上し、また、第2および第3のMISFETの不純物半導体領域上に選択的に成長させた金属層または金属シリサイド層を形成して、薄いSOI膜によるMISFETの不純物半導体領域の抵抗値の上昇を抑制することができる。これにより半導体集積回路装置の性能を総合的に向上できる。

【0023】（4）本発明の半導体集積回路装置の製造方法は、DRAMのメモリセルを選択する第1のMISFETと、メモリセルがアレイ状に配置されたメモリセルアレイ領域の周辺に配置され、DRAMの周辺回路に含まれる第2のMISFETとを有する半導体集積回路装置、または、第1および第2のMISFETに加えて論理演算回路その他の論理回路に含まれる第3のMISFETを有する半導体集積回路装置、の製造方法であって、（a）半導体基板の主面に絶縁層を形成し、絶縁層上に半導体基板とは電気的に絶縁される単結晶シリコン層を形成する工程、（b）メモリセルアレイ領域の単結晶シリコン層および絶縁層を除去し、半導体基板の主面を露出する工程、（c）露出された半導体基板の主面および単結晶シリコン層に素子分離領域を形成する工程、（d）半導体基板の主面に第1のMISFETを形成し、単結晶シリコン層に第2および第3のMISFET

を形成する工程、（e）第1のMISFETの上層に情報蓄積用容量素子を形成する工程、を含むものである。また、（c）工程における単結晶シリコン層への素子分離領域の形成は、絶縁層に達する溝を単結晶シリコン層に形成した後、溝を埋め込む絶縁膜を堆積し、単結晶シリコン層上の絶縁膜を除去する方法、あるいは、選択酸化（LOCOS）法を用いる方法、の何れかの方法により行うことができる。このような半導体集積回路装置の製造方法によれば、前記した（1）記載の半導体集積回路装置を製造することができる。

#### 【0024】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0025】図1は、本発明の一実施の形態である半導体集積回路装置の一例を示す断面図である。また、図2は、本実施の形態の半導体集積回路装置のチップ全体を示した平面図である。

【0026】図2に示すように、本実施の形態の半導体集積回路装置は、単一の半導体基板1の表面に、論理回路等の一般回路が形成された領域Aと、DRAMが形成された領域Bとを有する。また、DRAMが形成された領域Bは、メモリセルがアレイ状に形成されたメモリセルアレイ領域B1とDRAMの周辺回路が形成された周辺回路領域B2とからなる。さらに半導体基板1には、ボンディングパッドPを複数有する。

【0027】図1において図の左側はDRAMのメモリセルが形成されたメモリセルアレイ領域B1の断面を示し、図の右側はDRAMの周辺回路領域B2あるいは論理回路等の一般回路領域Aを示す。メモリセルアレイ領域B1には、DRAMのメモリセルの選択MISFET  $Q_m$  が形成され、周辺回路領域B2あるいは一般回路領域AにはnチャネルMISFET  $Q_n$  およびpチャネルMISFET  $Q_p$  が形成される。nチャネルMISFET  $Q_n$  およびpチャネルMISFET  $Q_p$  は、相補型MIS回路を構成する。

【0028】また図示するように、選択MISFET  $Q_m$  は、バルクシリコン基板である半導体基板1の主面上に形成される。一方、nチャネルMISFET  $Q_n$  およびpチャネルMISFET  $Q_p$  は、半導体基板1の主面上の絶縁膜2上に形成された単結晶シリコン層であるSOI層3上に形成されている。このように選択MISFET  $Q_m$  がバルクシリコン基板である半導体基板1の主面上に形成されるため、選択MISFET  $Q_m$  の耐ノイズ性を向上し、その動作を安定化して半導体集積回路装置の性能を維持できる。一方、nチャネルMISFET  $Q_n$  およびpチャネルMISFET  $Q_p$  をSOI層3上に形成するため、これらMISFETの動作速度を向上して周辺回路あるいは一般回路の動作速度を向上でき

る。これにより、DRAMの読み出し書き込みの耐ノイズ性能を維持しつつ、半導体集積回路装置の高速応答性能を向上して半導体集積回路装置の性能を向上できる。

【0029】図1において、半導体基板1は、p型の導電型を示す不純物がドーパされた単結晶シリコン基板である。半導体基板1のメモリセルアレイ領域B1には、p形ウェル、あるいはp型ウェルとこれを囲むようなn型のディープウェルが形成されてもよい。また、p型ウェルにはしきい値電圧調整層が形成されてもよい。

【0030】周辺回路領域B2あるいは一般回路領域Aの半導体基板1の主面には、絶縁膜2が形成され、絶縁膜2上にはSOI層3が形成されている。SOI層3は、分離領域4により互いに分離されている。すなわち、SOI層3は、絶縁膜2および分離領域4により半導体基板1および他のSOI層3から分離され絶縁されている。このようにSOI層3が孤立してフローティング状態となるため、SOI層3上に形成されるnチャネルMISFETQnおよびpチャネルMISFETQpの寄生容量が低減され、nチャネルMISFETQnおよびpチャネルMISFETQpを高速化して半導体集積回路装置の性能を向上できる。また、メモリセルアレイ領域B1の半導体基板1の主面には、分離領域5が形成されている。絶縁膜2、分離領域4、5は、たとえばシリコン酸化膜とすることができる。SOI層3は、前記したとおり単結晶シリコン層である。SOI層3にはMISFETのチャネル導電型に応じた不純物がドーパされる。

【0031】選択MISFETQmは、半導体基板1の主面上にゲート絶縁膜6を介して形成されたゲート電極7と、ゲート電極7の両側の半導体基板1の主面に形成された不純物半導体領域8とからなる。ゲート絶縁膜6は、たとえば7~8nmの膜厚を有する熱酸化により形成されたシリコン酸化膜からなる。ゲート電極7は、たとえばp型の不純物が高濃度にドーパされた多結晶シリコン膜7aおよびタングステンシリサイド膜7bの積層膜とすることができる。また、不純物半導体領域8にはn形の不純物、たとえば砒素またはリンが導入されている。このように、選択MISFETQmはnチャネル型のMISFETであり、このゲート電極7をp型の多結晶シリコン膜7aで構成するため、選択MISFETQmのチャネル領域に導入する不純物の濃度を高くすることなく、選択MISFETQmのしきい値電圧を高くすることができる。これにより、チャネル不純物の濃度を増加することなく、すなわち、不純物半導体領域8とチャネルとの間の電界強度を大きくすることなくDRAMのリフレッシュ特性を向上できる。

【0032】選択MISFETQmのゲート電極7の上層にはシリコン窒化膜からなるキャップ絶縁膜9が形成され、さらにその上層をシリコン窒化膜10で覆われる。シリコン窒化膜10は、ゲート電極7の側壁にも形

成され、後に説明する接続孔を形成する際の自己整合加工に利用される。なお、選択MISFETQmのゲート電極7は、DRAMのワード線として機能するものであり、分離領域5の上面にはワード線WLが形成されている。

【0033】一方、nチャネルMISFETQnは、SOI層3上に形成され、ゲート絶縁膜11を介して形成されたゲート電極12と、ゲート電極12の両側のSOI層3に形成された不純物半導体領域13とから構成される。また、pチャネルMISFETQpは、SOI層3上に形成され、ゲート絶縁膜11を介して形成されたゲート電極12と、ゲート電極12の両側のSOI層3に形成された不純物半導体領域14とから構成される。

【0034】ゲート絶縁膜11は、ゲート絶縁膜6と同様に、たとえば7~8nmの膜厚を有する熱酸化により形成されたシリコン酸化膜からなる。ゲート電極12は、たとえばタングステン膜とすることができる。また、不純物半導体領域13にはn形の不純物、たとえば砒素またはリンが導入され、不純物半導体領域14にはp形の不純物、たとえばボロンが導入されている。このように、ゲート電極12をタングステン膜で構成するため、nチャネルMISFETQnおよびpチャネルMISFETQpのしきい値電圧の制御性を向上できる。これにより半導体集積回路装置の性能を向上できる。なお、ゲート電極12は、タングステン膜に代えて、モリブデン膜とすることも可能である。このようなタングステンあるいはモリブデンは、真性シリコンとほぼ同じ仕事関数を有する材料であり、このような材料を選択してゲート電極12を構成することによりしきい値電圧の制御性を向上するものである。したがって、ゲート電極12の材料はタングステンあるいはモリブデンに限られず、真性シリコンとほぼ同じ仕事関数を有する材料であればよい。なお、不純物半導体領域13、14は、いわゆるLDD (Lightly Doped Drain) 構造を形成してもよい。

【0035】nチャネルMISFETQnおよびpチャネルMISFETQpのゲート電極12の上層にはシリコン窒化膜からなるキャップ絶縁膜15が形成され、側面には、たとえばシリコン窒化膜からなるサイドウォールスペーサ16が形成されている。

【0036】また、nチャネルMISFETQnおよびpチャネルMISFETQpの不純物半導体領域13、14の上面には、タングステン膜17が形成されている。タングステン膜17は選択成長により形成でき、サイドウォールスペーサ16によりゲート電極12と絶縁される。このように不純物半導体領域13、14の上面にタングステン膜17が形成されているため、SOI層3の膜厚が薄くなり、不純物半導体領域13、14が薄膜化されても、その抵抗を小さくすることができる。これにより、周辺回路および一般回路における素子の高速



性能を維持し、半導体集積回路装置の性能の低下を防止できる。

【0037】選択MISFETQm、nチャネルMISFETQnおよびpチャネルMISFETQpは、層間絶縁膜18で覆われている。層間絶縁膜18は、たとえばSOG (Spin On Glass) 膜、TEOS (テトラメトキシシラン) を原料ガスとしプラズマCVD法により形成されたシリコン酸化膜 (以下TEOS酸化膜という) がCMP (Chemical Mechanical Polishing) 法により平坦化されたTEOS酸化膜およびTEOS酸化膜の積層膜とすることができる。

【0038】層間絶縁膜18上には、ビット線BLおよび第1層配線19が形成されている。ビット線BLおよび第1層配線19は、たとえば窒化チタン膜とタングステン膜との積層膜とすることができる。これにより、ビット線BLおよび第1層配線19を低抵抗化してDRAMの性能を向上することができる。また、ビット線BLと第1層配線19とは、後に説明するように同時に形成される。これにより工程を簡略化することができる。

【0039】ビット線BLはプラグ20を介して一対の選択MISFETQmに共有される不純物半導体領域8に接続される。プラグ20は、たとえばn形の不純物が導入された多結晶シリコン膜とすることができる。プラグ20とビット線BLとの接続部にはコバルトシリサイド膜等の金属シリサイド膜が形成されてもよい。これによりプラグ20とビット線BLとの間の接続抵抗を低減し、接続信頼性を向上することができる。

【0040】第1層配線19は、プラグ22を介してnチャネルMISFETQnおよびpチャネルMISFETQpの不純物半導体領域13、14上に形成されたタングステン膜17に接続される。プラグ22は、たとえば窒化チタン膜とタングステン膜との積層膜とすることができる。プラグ22と不純物半導体領域13、14との間にはタングステン膜17が形成されているため接続抵抗を低減し、接続信頼性を向上することができる。

【0041】ビット線BLおよび第1層配線19は、層間絶縁膜23で覆われている。層間絶縁膜23は、たとえばSOG膜、CMP法により平坦化されたTEOS酸化膜、TEOS酸化膜の積層膜とすることができる。なお、ビット線BLおよび第1層配線19はシリコン窒化膜からなるキャップ絶縁膜およびサイドウォールスペースで覆われてもよい。

【0042】層間絶縁膜23の上層のB1領域には情報蓄積用のキャパシタCが形成されている。また、キャパシタCと同層に絶縁膜24が形成されている。絶縁膜24はたとえばシリコン酸化膜とすることができ、キャパシタCと同層に形成することによりキャパシタCの標高に起因するB1領域とその他の領域との間の段差の発生を防止することができる。これによりフォトリソグラフィの焦点深度に余裕を持たせることができ、工程を安定

にして微細加工に対応することができる。なお、層間絶縁膜23の上面にはシリコン窒化膜が形成されてもよい。このシリコン窒化膜は後に説明するようにキャパシタCの下部電極27を形成する際のエッチングストップとして機能することができる。

【0043】キャパシタCは、選択MISFETQmのビット線BLに接続される不純物半導体領域8とは逆の不純物半導体領域8に接続されるプラグ25に、プラグ26を介して接続される下部電極27と、たとえばシリコン窒化膜および酸化タンタルからなる容量絶縁膜28と、たとえば窒化チタンからなるプレート電極29とから構成される。

【0044】キャパシタCの上層には、たとえばTEOS酸化膜からなる絶縁膜30を介して第2層配線31が形成されている。第2層配線31は、たとえばチタン膜、アルミニウム膜および窒化チタン膜の積層膜とすることができる。

【0045】第2層配線31は、プラグ32を介して第1層配線19に接続される。また、第2層配線31は、プラグ33を介してプレート電極29に接続される。プラグ32、33は、たとえばチタン膜および窒化チタンの積層膜からなる接着層とCVD法によるタングステン膜の積層膜とすることができる。

【0046】第2層配線31は、層間絶縁膜34で覆われる。層間絶縁膜34の上層には第2層配線31と同様な第3層配線が形成されてもよい。層間絶縁膜34は、たとえばTEOS酸化膜、SOG膜およびTEOS酸化膜の積層膜とすることができる。

【0047】次に、本実施の形態の半導体集積回路装置の製造方法を図3～図18を用いて工程順に説明する。図3～図18は本発明の一実施の形態の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【0048】まず、p形の半導体基板1上に絶縁膜2および単結晶シリコン層であるSOI層3が形成されたSOI基板を用意する (図3)。

【0049】次に、DRAMのメモリセルが形成されるメモリセルアレイ領域B1を開口するようにフォトリソレジスト膜35を形成し、このフォトリソレジスト膜35をマスクとして、SOI層3および絶縁膜2をエッチングし、半導体基板1の主面を露出する (図4)。エッチングには公知のドライエッチング法を用いることができる。

【0050】次に、この半導体基板1の主面に浅溝36を、SOI層3に浅溝37を形成する (図5)。浅溝36、37の形成には公知のフォトリソグラフィおよびエッチング技術を用いる。浅溝37は、絶縁膜2が露出する深さに形成する。

【0051】その後、半導体基板1に熱酸化を施し、浅溝36、37の内部にシリコン酸化膜を形成した後、シリコン酸化膜38をたとえばCVD法により堆積し、浅溝36、37を埋め込む (図6)。

【0052】次に、半導体基板1上およびSOI層3上のシリコン酸化膜38を除去して分離領域4、5を形成する(図7)。シリコン酸化膜38を除去する方法は、各種例示できる。たとえば、SOI層3上のシリコン酸化膜38のみをまずCMP (Chemical Mechanical Polishing) 法により研磨し、その後半導体基板1上のシリコン酸化膜38をエッチバック法により除去する方法、あるいは、CMP法により研磨した後の表面が、半導体基板1上およびSOI層3上において一致するようにSOI層3上のシリコン酸化膜38にエッチング速度を調整する層、たとえばシリコン窒化膜を形成する方法等である。なお、CMP法を用いる際には、浅溝36、37領域以外の半導体基板1上およびSOI層3上にシリコン窒化膜を形成し、CMPによる研磨の研磨ストッパ層として機能させることができる。

【0053】なお、この段階で、半導体基板1およびSOI層3にウェルを形成することが可能である。

【0054】次に、半導体基板1の活性領域に熱酸化法によりゲート絶縁膜6を形成し、さらに半導体基板1の全面にp型の不純物がドーパされた多結晶シリコン膜、タングステンシリサイド膜およびシリコン窒化膜を順次堆積する。その後、フォトレジスト膜39をマスクとしてシリコン窒化膜、タングステンシリサイド膜および多結晶シリコン膜をフォトリソグラフィ技術およびエッチング技術を用いてパターンニングし、ゲート電極7(ワード線WL)およびキャップ絶縁膜9を形成する(図8)。

【0055】次に、SOI層3の活性領域に熱酸化法によりゲート絶縁膜11を形成し、さらに半導体基板1の全面にタングステン膜およびシリコン窒化膜を順次堆積する。その後、フォトレジスト膜40をマスクとしてシリコン窒化膜およびタングステン膜をフォトリソグラフィ技術およびエッチング技術を用いてパターンニングし、ゲート電極12およびキャップ絶縁膜15を形成する(図9)。

【0056】次に、選択MISFETQmおよびnチャネルMISFETQnが形成される領域を開口するようにフォトレジスト膜41を形成し、フォトレジスト膜41およびキャップ絶縁膜9、15をマスクとしてイオン注入法によりn型の不純物たとえばヒ素またはリンを導入し、不純物半導体領域8、13を形成する(図10)。

【0057】次に、pチャネルMISFETQpが形成される領域を開口するようにフォトレジスト膜42を形成し、フォトレジスト膜42およびキャップ絶縁膜15をマスクとしてイオン注入法によりp型の不純物たとえばボロンを導入し、不純物半導体領域14を形成する(図11)。

【0058】次に、半導体基板1の全面にシリコン窒化膜(図示せず)を堆積し、メモリセルが形成される領域

(B1領域)にのみフォトレジスト膜43を形成する。その後、そのフォトレジスト膜43をマスクとして、前記シリコン窒化膜を異方性エッチングし、B1領域の半導体基板1上にのみシリコン窒化膜10を形成すると同時にB領域のゲート電極7の側壁にサイドウォールスペーサ16を形成する(図12)。なお、サイドウォールスペーサ16をマスクにして不純物を自己整合的にイオン注入し、高濃度不純物領域を形成してもよい。

【0059】次に、フォトレジスト膜43を除去し、SOI層3上の不純物半導体領域13、14上にタングステン膜17を選択成長法により形成する(図13)。このタングステン膜17の形成の際、サイドウォールスペーサ16が形成されているためタングステン膜17とゲート電極12とがショートすることがない。

【0060】次に、半導体基板1の全面にSOG膜を塗布し、これを400℃程度の温度でキュアした後、800℃程度の熱処理を施して安定化する。さらにプラズマCVD法によりTEOS酸化膜を堆積してもよい。その後、SOG膜あるいはTEOS酸化膜をCMP法を用いて研磨し、その表面を平坦化する。これによりゲート電極7およびキャップ絶縁膜9に起因する段差が解消される。表面を洗浄後、CMPにより生じたSOG膜またはTEOS酸化膜上のスクラッチによる損傷を補修するため、さらにTEOS酸化膜を堆積してもよい。このようにして、層間絶縁膜18を形成する。

【0061】さらに、層間絶縁膜18に接続孔を開口し、プラグインプラを施した後に不純物がドーパされた多結晶シリコン膜を堆積し、この多結晶シリコン膜をCMP法により研磨してプラグ20、25を形成する(図14)。なお、この接続孔は、2段階のエッチングにより開口して半導体基板1の過剰エッチングを防止することができる。

【0062】次に、nチャネルMISFETQnおよびpチャネルMISFETQpの不純物半導体領域13、14上のタングステン膜17が露出するように層間絶縁膜18に接続孔を形成し、半導体基板1の全面、つまり前記接続孔の内部を含む層間絶縁膜18上にたとえば窒化チタン膜およびタングステン膜をたとえばスパッタ法で堆積し、層間絶縁膜18表面の窒化チタン膜およびタングステン膜をCMP法で研磨して除去する。このようにして窒化チタン膜およびタングステン膜からなるプラグ22を形成する。なお、窒化チタン膜は、チタン膜および窒化チタン膜の積層膜とすることもできる。

【0063】次に、半導体基板1の全面にたとえば窒化チタン膜およびタングステン膜を、たとえばスパッタ法により順次堆積し、これをフォトリソグラフィとドライエッチング技術を用いてパターンニングし、ビット線BLおよび第1層配線19を形成する(図15)。

【0064】なお、ビット線BLおよび第1層配線19は、単層のタングステン膜により形成することもでき



る。ビット線BLおよび第1層配線19をタングステン膜のみで形成することにより窒化チタン膜との積層膜の場合に比較して同一断面積状態での抵抗値を低減できる。これは、窒化チタンよりもタングステンの方が抵抗率が低いことに基づく。また、ビット線BLおよび第1層配線19には、たとえばシリコン窒化膜からなるキャップ絶縁膜およびサイドウォールスペーサを形成することができる。

【0065】次に、半導体基板1の全面にたとえばSOG膜を塗布し、これを400℃程度の温度でキュアした後、プラズマCVD法によりTEOS酸化膜を堆積する。その後、このTEOS酸化膜をCMP法を用いて研磨し、層間絶縁膜23を形成する。これによりこの後のフォトリソグラフィ工程のフォーカスマージンを向上することができ、微細な接続孔の開口等が可能となる。なお、表面を洗浄後、さらにTEOS酸化膜を堆積してCMPにより形成されたスクラッチを覆ってもよい。

【0066】次に、層間絶縁膜23に接続孔を開口し、不純物がドーパされた多結晶シリコン膜を堆積し、この多結晶シリコン膜をCMP法により研磨してプラグ26を形成する(図16)。

【0067】次に、半導体基板1の全面に絶縁膜24を堆積する。絶縁膜24の堆積はプラズマCVDにより行うことができ、その膜厚はたとえば1.2μmとする。なお、絶縁膜24の堆積前にたとえば200nm膜厚のシリコン窒化膜を形成することができる。このシリコン窒化膜は、後に下部電極27を露出する際のウェットエッチングのエッチングストップとして機能させることができる。

【0068】次に、キャパシタCが形成される領域の絶縁膜24に溝を形成し、プラグ26を露出させる。次に、この溝を覆う多結晶シリコン膜を半導体基板1の全面に堆積し、さらに半導体基板1の全面にシリコン酸化膜を堆積する。多結晶シリコン膜にはリンをドーパすることができ、その膜厚は0.03μmとすることができる。多結晶シリコン膜の膜厚が溝の寸法に対して十分に薄いため、多結晶シリコン膜は溝の内部にもステップカバレッジよく堆積される。シリコン酸化膜は、溝の内部に埋め込まれるように堆積する。溝の内部への埋め込み性を考慮すれば、シリコン酸化膜はSOG膜あるいはTEOSを用いたCVD法によるシリコン酸化膜とすることができる。

【0069】次に、絶縁膜24上のシリコン酸化膜および多結晶シリコン膜を除去して、キャパシタCの下部電極27を形成し、フォトレジスト膜をマスクとしてウェットエッチングを施し、メモリアルレイ領域(B1領域)の絶縁膜24および前記シリコン酸化膜を除去する(図17)。これにより下部電極27が露出される。

【0070】なお、絶縁膜24のエッジ部分は、ウェットエッチングによりエッチングされるため、厳密には図

示のように急峻ではないが、簡単のため急峻に(直角に)示している。

【0071】次に、下部電極27表面を窒化または酸窒化処理した後、酸化タンタル膜を堆積する。酸化タンタル膜の堆積は、たとえば有機タンタルガスを原料としたCVD法により形成できる。

【0072】さらに、窒化チタン膜をたとえばCVD法により堆積する。その後、フォトレジスト膜を用いて窒化チタン膜および多結晶酸化タンタル膜をパターニングし、容量絶縁膜28およびプレート電極29を形成する(図18)。このようにして下部電極27、容量絶縁膜28およびプレート電極29からなるキャパシタCが形成される。

【0073】その後、TEOS酸化膜を半導体基板1の全面に堆積して絶縁膜30とし、絶縁膜30に接続項を開口し、プラグ32、33を形成する。プラグ32、33は、チタンおよび窒化チタンの積層膜を半導体基板の全面に堆積し、さらにたとえばブランケットCVD法によりタングステン膜を堆積して、その後タングステン膜、窒化チタン膜およびチタン膜をエッチバックすることにより形成することができる。なお、チタンおよび窒化チタンはスパッタ法により形成することができるが、CVD法により形成することもできる。さらに、半導体基板1の全面にチタン膜、アルミニウム膜および窒化チタン膜をスパッタ法により堆積し、これをパターニングして第2層配線31を形成する。このようにして図1に示す半導体集積回路装置がほぼ完成する。

【0074】さらに、TEOS酸化膜、SOG膜およびTEOS酸化膜を堆積して層間絶縁膜を形成し、第2層配線31と同様に第3層配線を形成してもよい。

【0075】本実施の形態の半導体集積回路装置によれば、選択MISFETQmをバルク基板である半導体基板1上に形成し、周辺回路あるいは一般回路のnチャネルMISFETQnおよびpチャネルMISFETQpをSOI層3上に形成するため、耐ノイズ性に優れたDRAMを構成するとともに、周辺回路あるいは一般回路の応答速度を向上して半導体集積回路装置の性能を向上できる。また、選択MISFETQmのゲート電極7に選択MISFETQmの導電型とは逆のp型不純物が高濃度に導入された多結晶シリコン膜を用いるため、選択MISFETQmのチャネル不純物の濃度を高くすることなくリーク電流を低減できる。これにより、DRAMのリフレッシュ特性を向上できる。また、nチャネルMISFETQnおよびpチャネルMISFETQpのゲート電極12をタングステン膜とすることにより、そのしきい値電圧の制御性を向上できる。さらに、nチャネルMISFETQnおよびpチャネルMISFETQpの不純物半導体領域13、14上にタングステン膜17を形成するため、SOI層3上に形成されるnチャネルMISFETQnおよびpチャネルMISFETQpの

不純物半導体領域 13、14 の薄膜化に起因する抵抗の向上を防止し、その性能を向上できる。

【0076】なお、本実施の形態では、ゲート電極 7 に多結晶シリコン膜およびタングステンシリサイド膜の積層膜を用いた場合を例示したが、単層の多結晶シリコン膜、あるいは多結晶シリコン膜および金属膜、たとえば多結晶シリコン膜、窒化チタン膜およびタングステン膜の積層膜とすることもできる。

【0077】また、選択 MISFETQm は p チャネル MISFET であってもよく、この場合、多結晶シリコン膜は、n 型の不純物が高濃度に導入される。この場合も、チャネル不純物の濃度を増加することなくしきい値電圧を負電圧側に大きくしてリーク電流を低減できる。

【0078】また、本実施の形態では、ゲート電極 12 にタングステン膜を用いた例を示したが、単層の多結晶シリコン膜、多結晶シリコン膜と金属シリサイド膜との積層膜、あるいは、多結晶シリコン膜と金属膜との積層膜とすることもできる。この場合、n チャネル MISFETQn および p チャネル MISFETQp の不純物半導体領域 13、14 の導電型と多結晶シリコン膜の導電型とは同一とすることができる。これにより、n チャネル MISFETQn および p チャネル MISFETQp のしきい値を低くして低電圧駆動に対応した高性能な半導体集積回路装置を構成できる。

【0079】また、本実施の形態ではタングステン膜 17 を例示したが、タングステン以外の金属たとえばチタンあるいはコバルトであってもよく、また、金属シリサイド膜、たとえばタングステンシリサイド膜、チタンシリサイド膜、コバルトシリサイド膜等であってもよい。

【0080】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0081】たとえば、本実施の形態では、DRAM のメモセル以外の回路すなわち周辺回路あるいは一般回路が、n チャネル MISFETQn と p チャネル MISFETQp とからなる相補型 MIS 回路である場合に適用したものであるが、これに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。例えば、バイポーラトランジスタや JFET (Junction Field Effect Transistor) あるいは一般的な IGFET (Insulated Gate Field Effect Transistor) 等の能動素子、また抵抗や容量等の受動素子を含む場合にも適用可能である。また、本実施の形態では、バルク MISFET はメモセルアレイ領域 B1 のみに適用したが、それ以外の回路の一部、例えば、センスアンプ等に適用することも可能である。また、DRAM のメモセルの構造は、本実施の形態で示した構造に限定されることはなく、その要旨を逸脱しない範囲において種々変更

可能である。また、下部電極 27、容量絶縁膜 28、プレート電極 29、第 1 層配線 19、第 2 層配線 31 金属、あるいは種々の絶縁膜の材料は、本実施の形態に示した材料に限定されるものではなく、その要旨を逸脱しない範囲において変更可能である。また、単結晶シリコン基板やその中に形成した不純物半導体領域、あるいは多結晶シリコンの導電型は、本実施の形態の場合に限定されるものではなく、その要旨を逸脱しない範囲において反対導電型にしてもよい。

【0082】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0083】(1) DRAM を有する半導体集積回路装置において、SOI 基板上の MISFET の高速性という特徴を有し、なおかつ安定したメモリ動作が可能になる。

【0084】(2) DRAM を有する半導体集積回路装置において、その中に用いる SOIMISFET のしきい値電圧の制御性を向上できる。

【0085】(3) DRAM を有する半導体集積回路装置において、メモセル選択用 MISFET の基板の不純物濃度を高くすることなく、そのしきい値電圧を高くすることのできる。

【0086】(4) DRAM を有する半導体集積回路装置において、リフレッシュ特性を向上できる。

【0087】(5) DRAM を有する半導体集積回路装置において、その中に用いる SOIMISFET の拡散層抵抗を低減することができる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態である半導体集積回路装置の一例を示す断面図である。

【図 2】本発明の一実施の形態である半導体集積回路装置のチップ全体を示した平面図である。

【図 3】本発明の一実施の形態の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図 4】本発明の一実施の形態の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図 5】本発明の一実施の形態の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図 6】本発明の一実施の形態の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図 7】本発明の一実施の形態の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図 8】本発明の一実施の形態の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図 9】本発明の一実施の形態の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図 10】本発明の一実施の形態の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図 1 1】本発明の一実施の形態の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図 1 2】本発明の一実施の形態の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図 1 3】本発明の一実施の形態の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図 1 4】本発明の一実施の形態の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図 1 5】本発明の一実施の形態の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図 1 6】本発明の一実施の形態の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

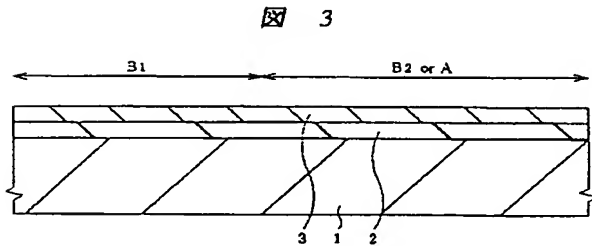
【図 1 7】本発明の一実施の形態の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図 1 8】本発明の一実施の形態の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

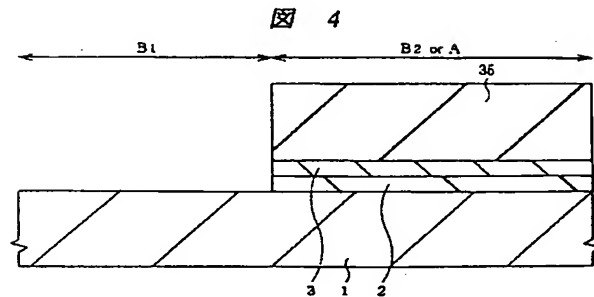
【符号の説明】

- |                  |                       |
|------------------|-----------------------|
| 1 半導体基板          | 1 5 キャップ絶縁膜           |
| 2 絶縁膜            | 1 6 サイドウォールスペーサ       |
| 3 S O I 層        | 1 7 タングステン膜           |
| 4、5 分離領域         | 1 8 層間絶縁膜             |
| 6 ゲート絶縁膜         | 1 9 第 1 層配線           |
| 7 ゲート電極          | 2 0、2 2 プラグ           |
| 7 a 多結晶シリコン膜     | 2 3 層間絶縁膜             |
| 7 b タングステンシリサイド膜 | 2 4 絶縁膜               |
| 8 不純物半導体領域       | 2 5、2 6 プラグ           |
| 9 キャップ絶縁膜        | 2 7 下部電極              |
| 1 0 シリコン窒化膜      | 2 8 容量絶縁膜             |
| 1 1 ゲート絶縁膜       | 2 9 プレート電極            |
| 1 2 ゲート電極        | 3 0 絶縁膜               |
| 1 3、1 4 不純物半導体領域 | 3 1 第 2 層配線           |
|                  | 3 2、3 3 プラグ           |
|                  | 3 4 層間絶縁膜             |
|                  | 3 5 フォトレジスト膜          |
|                  | 3 6 浅溝                |
|                  | 3 7 浅溝                |
|                  | 3 8 シリコン酸化膜           |
|                  | 3 9 ~ 4 3 フォトレジスト膜    |
|                  | A 一般回路領域              |
|                  | B 1 メモリセルアレイ領域        |
|                  | B 2 周辺回路領域            |
|                  | B L ビット線              |
|                  | C キャパシタ               |
|                  | P ボンディングパット           |
|                  | Q m 選択 M I S F E T    |
|                  | Q n nチャネル M I S F E T |
|                  | Q p pチャネル M I S F E T |
|                  | W L ワード線              |

【図 3】

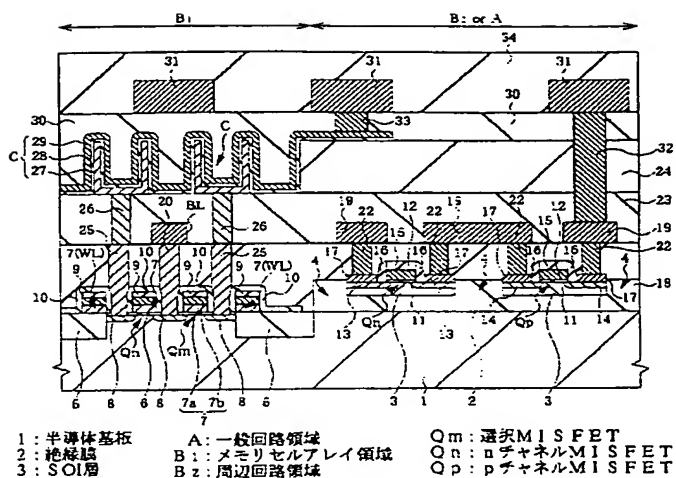


【図 4】



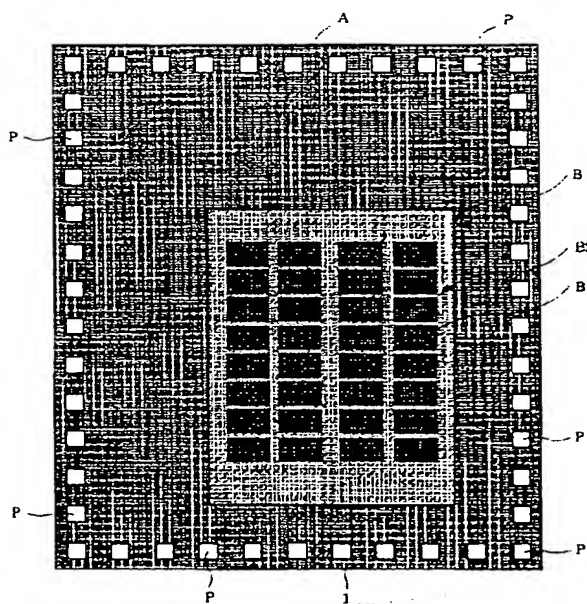
【図 1】

図 1



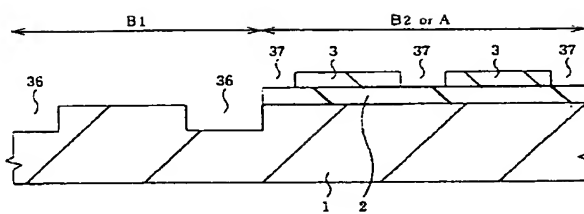
【図 2】

図 2



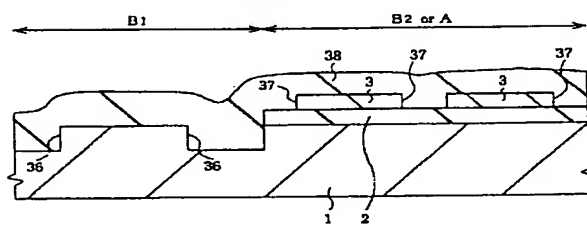
【図 5】

図 5



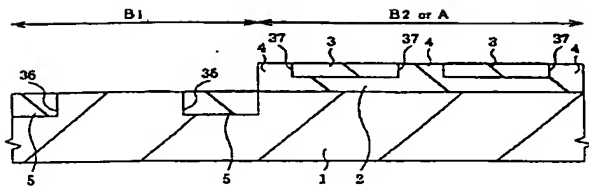
【図 6】

図 6



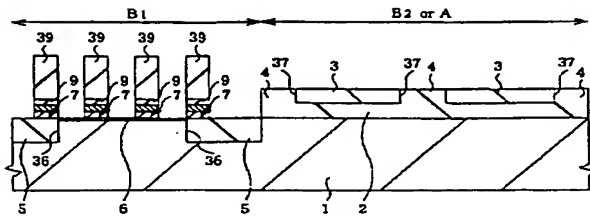
【図 7】

図 7



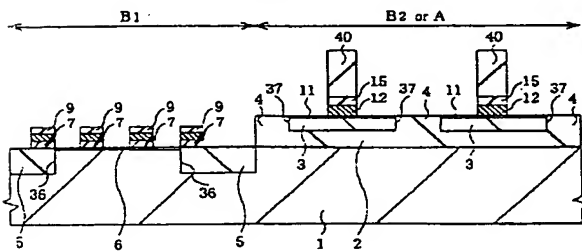
【図 8】

図 8



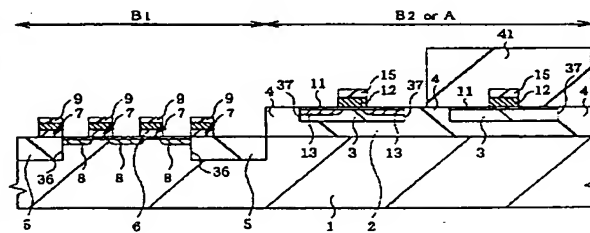
【図 9】

図 9



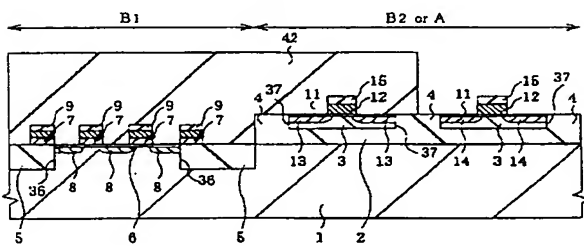
【図 10】

図 10



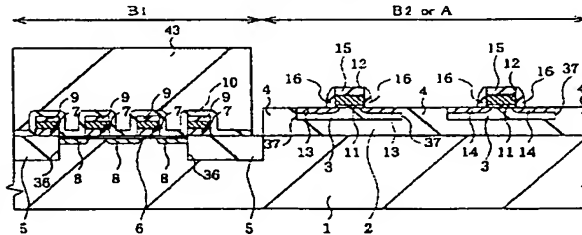
【図 11】

図 11



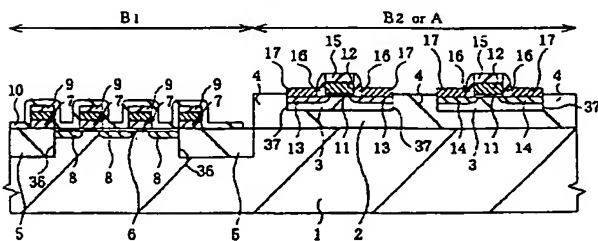
【図 12】

図 12



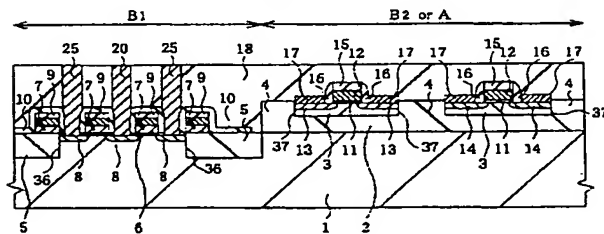
【図 13】

図 13

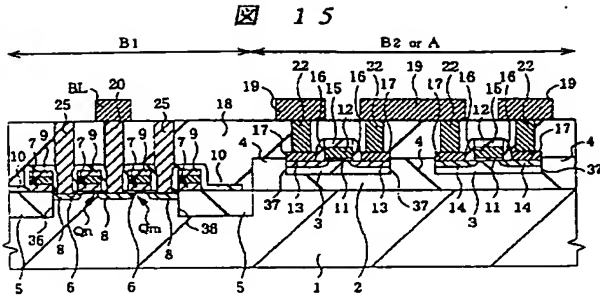


【図 14】

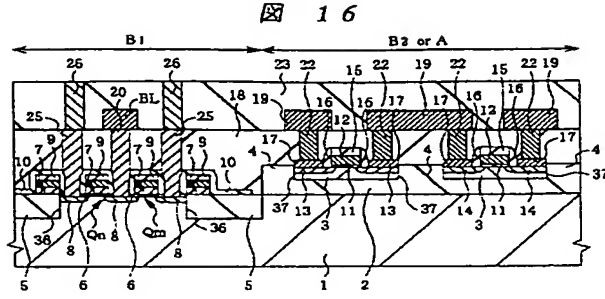
図 14



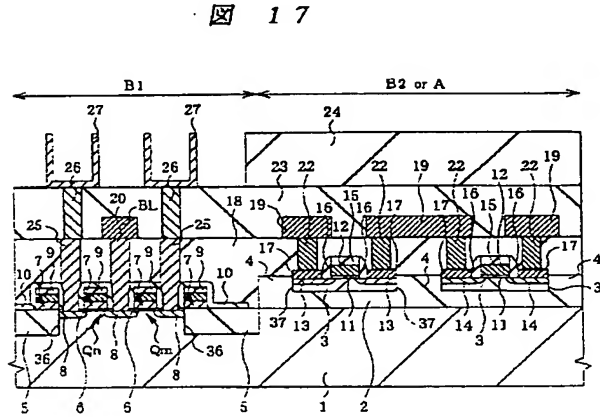
【図 15】



【図 16】



【図 17】



【図 18】

